

Типовая структура процессора ЭВМ

Процессор ЭВМ – это электронное устройство, выполняющее операции над данными в соответствии с программами, поступающими на вход, и содержащее:

- арифметико-логическое устройство (АЛУ);
- устройство управления (УУ);
- регистры;
- средства интерфейса.



Арифметико-логическое устройство (АЛУ) включает в себя двоичный сумматор, устройство сдвига, буферные регистры для хранения операндов.

Аппаратно обычно выполняются операции:

- сложение,
- сложение с переносом,
- вычитание,
- вычитание с заемом,
- логические операции "И", "ИЛИ", сложение по модулю 2, инверсия;
- сдвиги вправо и влево.

Умножение и деление выполняются микропрограммно.

По результатам выполнения операций АЛУ устанавливаются признаки:

ZF – флаг нулевого результата, устанавливается в 1, если результат равен 0;

SF – флаг отрицательного результата, устанавливается в 1, если результат меньше 0;

CF – флаг переноса, бит переноса из старшего бита результата;

OF – флаг переполнения, $OF = CF \text{ xor}$ (Перенос в старший бит результата);

PF – флаг паритета (четности), устанавливается в 1, если в младшем байте результата четное число единиц;

AF – флаг дополнительного переноса, бит переноса из третьего бита результата в четвертый.

Блок **регистров** образует внутреннюю (местную) память МП и содержит специальные регистры и регистры общего назначения. Регистры блока связаны с другими внутренними блоками МП общими шинами. В ряде МП осуществляется прямой обмен данными между регистрами, минуя общую шину.

Регистры общего назначения (РОН) образуют сверхоперативную память процессора. Их используют для временного хранения операндов и результатов. Часто РОН выполняют дополнительные функции.

Регистры специального назначения:

- **Счетчик команд** - содержит адрес команды, выбираемой из памяти (т.е. регистр адреса, содержащий адрес команды).

- **Аккумулятор.** В некоторых процессорах один из операндов находится в аккумуляторе. Во многих процессорах ввод/вывод данных осуществляется через аккумулятор.

- **Стек** - структура данных, доступ к которой происходит по принципу «последним пришел - первым ушел» (LIFO - Last In - First Out). Применяется для хранения адреса возврата при обращении к подпрограммам, а также для запоминания состояния внутренних регистров при обработке прерываний. **Указатель стека** адресует вершину стека. Извлечение и запись в стек будет осуществляться с помощью указателя на вершину стека.

В микропроцессорах Intel x86 (на базе которых построены ПК), стек перевернут, т.е. растет сверху вниз. Например, команда PUSH AX описывается следующим образом:

```
M {SS:SP-1} <- AH;
```

```
M {SS:SP-2} <- AL;
```

```
SP <- SP - 2.
```

Здесь SP - регистр указатель стека.

- **Регистры косвенного адреса** (базовый, индексный и другие) используются для адресации операндов в памяти.

- **Регистр признаков** скомпонован из одного или нескольких триггеров, называемых флажками. Используются для индикации переполнения при выполнении операций, нулевого содержимого аккумулятора, знака содержимого аккумулятора, переноса из аккумулятора. Эта информация нужна для выполнения многих арифметических операций и часто используется при реализации условных переходов.

В современных микропроцессорах имеются регистры управления, регистры отладки и др.

Устройство управления формирует последовательность управляющих сигналов в соответствии с кодами операции и признаками результата в АЛУ к системе.

Устройство управления содержит **регистр команд**, в который помещается очередная команда.

Средства интерфейса

Интерфейс – программные и аппаратные средства сопряжения отдельных блоков процессора (внутренний интерфейс), а также процессора и внешних устройств (внешний интерфейс). Внешний интерфейс представлен шиной адреса, шиной данных, шиной управления.

Шина данных – двунаправленная, т.е. через нее осуществляются и чтение, и запись данных. Она обладает Z-состоянием, при котором процессор отключается от шины данных. Разрядность ШД равна разрядности процессора.

Шина адреса – однонаправленная, и тоже обладает Z-состоянием. Разрядность шины адреса определяет объем основной (прямо-адресуемой) памяти. Например, если шина адреса 32-разрядная, то памяти может быть $2^{32} = 4$ Гбайт.

Шина управления представляет собой совокупность входных и выходных сигналов управления и сигналов состояния.

Основной цикл процессора

Каждую команду процессор воспринимает в виде последовательности простых операций.

1. В соответствии с содержимым счетчика команд (СЧК) считать из памяти очередную команду в регистр команд.
2. Изменить СЧК так, чтобы он указывал на следующую команду.
3. Проверить команду.
4. Проверить, нужен ли операнд из памяти, если нужен – вычислить адрес операнда.
5. Выбрать операнд из памяти в соответствии с вычисленным адресом.
6. Выполнить команду, заданную кодом операции и сформировать признак результата.
7. Если необходимо, записать результат в память.
8. Перейти к пункту 1.

Аппаратная и микропрограммная реализация устройства управления

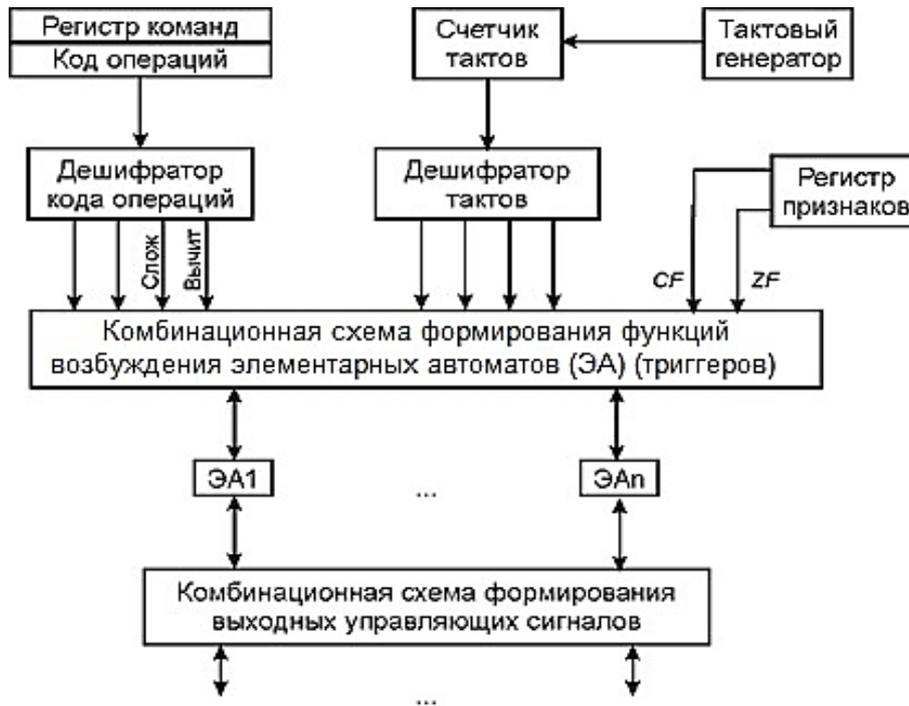
Процессор может быть представлен цифровым автоматом, который состоит из управляющего устройства и операционного блока.

Существует два типа управляющих автоматов.

1. Управляющий автомат с жесткой (схемной) логикой.
2. Микропрограммный автомат (с логикой, хранимой в памяти).

УУ процессора с жесткой логикой

Для каждой операции, задаваемой кодом операции, строится набор комбинационных схем (КС), формирующих управляющие сигналы.



Микропрограммное УУ

В случае микропрограммного автомата каждой машинной команде соответствует микропрограмма, т.е. последовательность микрокоманд. Для выполнения одной микрокоманды требуется один такт. Микрокоманда состоит из большого числа разрядов (40-80). Часть разрядов позволяют вычислить адрес следующей микрокоманды.



Достоинства и недостатки микропрограммного автомата

Достоинства микропрограммного управления

1. Проектирование аппаратных средств процессора можно разделить на создание микропрограммы и проектирование логических схем; эти два вида проектирования можно проводить параллельно.

2. Рационально распределяя функции между аппаратными и микропрограммными средствами можно проектировать семейства компьютеров, имеющих одинаковую архитектуру на уровне машинных команд, но отличающихся друг от друга величиной соотношения стоимость-производительность.

3. УУ (самое сложное в структуре компьютера) можно строить на базе функциональных узлов с регулярной структурой – ПЗУ, управление удобно для логического проектирования СБИС.

Недостатком устройств МПУ является более медленная обработка, чем та, которая обеспечивается УУ с жесткой логикой.

ЭВМ должны иметь различную производительность в зависимости от области применения и стоимости. Следовательно, управление в них может быть организовано либо по микропрограммному принципу, либо комбинированным путем, сочетающим жесткую логику и МПУ, либо полностью на основе жесткой логики, если предъявляются высокие требования к скорости обработки.

CISC-процессоры (Complete Instruction Set Computing) с полным набором команд

Основные черты:

- Большое количество различных машинных команд (сотни), каждая из которых выполняется за несколько тактов ЦП;
- УУ с программируемой логикой;
- Небольшое количество РОН;
- Различные форматы команд с разной длиной;
- Преобладание двухадресной адресации;
- Развитый механизм адресации операндов, включающий различные методы косвенной адресации

Типичными представителями являются процессоры на основе команд x86 и процессоры Motorola MC680x0.

Формально, все x86-процессоры являлись CISC-процессорами, однако новые процессоры, начиная с Intel Pentium Pro, являются CISC-процессорами с RISC-ядром.

Процессоры с сокращенным набором команд

RISC-процессоры (Reduced Instruction Set Computing)

RISC процессоры были созданы, как альтернатива традиционным CISC-процессорам.

Основные черты:

- Выполнение всех команд за один цикл;
- Стандартная однословная длина всех команд, равная естественной длине слова и ширине шины данных и допускающая унифицированную конвейерную обработку всех команд;
- Малое число команд (не более 128);
- Малое число способов адресации (не более 4);
- Малое количество форматов команд (не более 4);
- Доступ к памяти только посредством команд «Чтение» и «Запись»;
- Все команды, за исключением «Чтения» и «Записи», используют внутрипроцессорные межрегистровые пересылки;
- УУ с аппаратной логикой;
- Большое количество РОН.

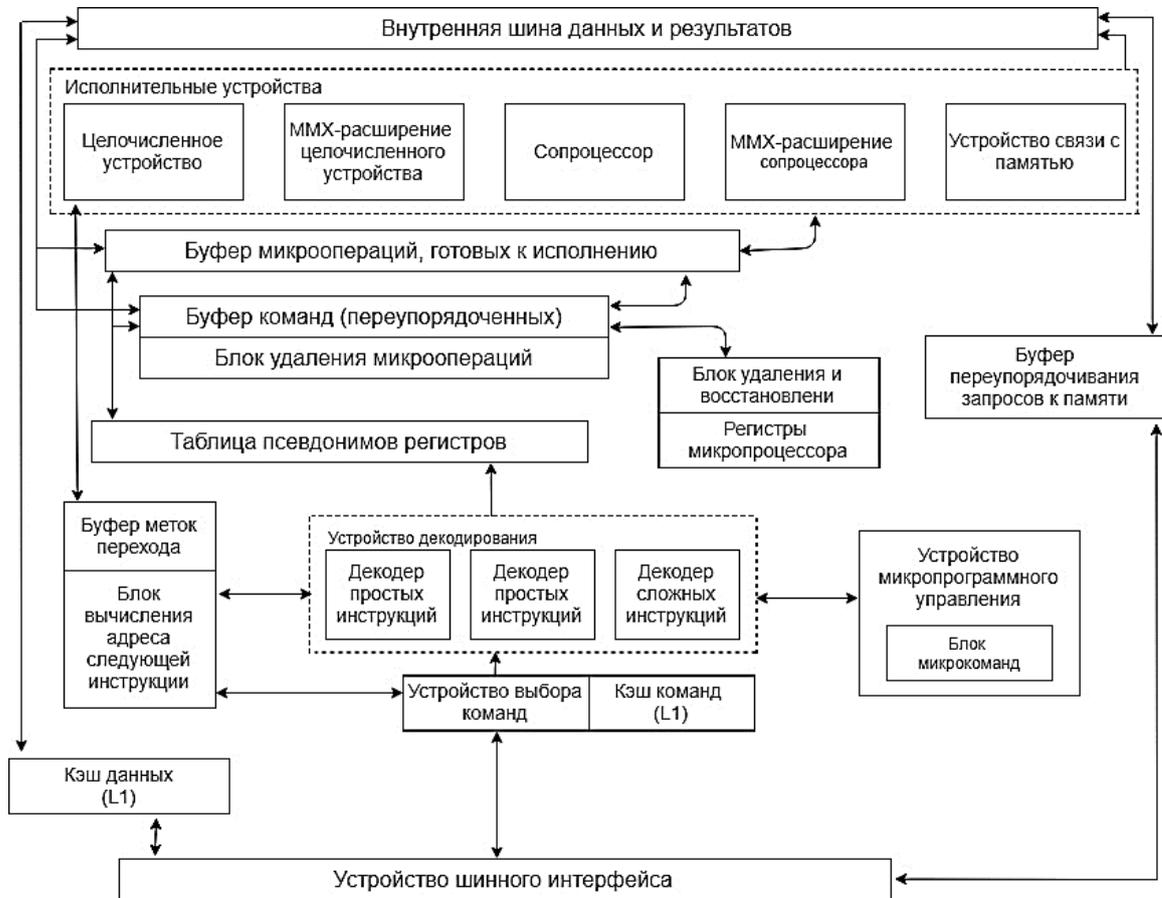
Все это приводит к упрощению управляющего устройства, повышению производительности.

Первая попытка создать процессор с архитектурой «RISC» на чипе была предпринята «IBM» в 1975 году. Эта работа привела к созданию семейства процессоров «IBM 801».

В настоящее время многие архитектуры процессоров являются RISC-подобными, к примеру, ARM, DEC Alpha, SPARC, AVR, MIPS, POWER и PowerPC.

Структурная схема процессоров x86 шестого поколения (P6)





VLIW-процессоры

(Very Long Instruction Word)

с очень длинным словом команды

Две проблемы VLIW-архитектуры:

- усложнение регистрового файла и, прежде всего, связей этого файла с вычислительными устройствами;
- трудности создания компилятора, способных найти в программе независимые команды в длинные строки и обеспечить их параллельное выполнение.

В чистом виде архитектуру VLIW имеют процессоры TriMedia фирмы Philips и семейство DSP C6000 фирмы Texas Instruments.

Микропроцессор Transmeta Crusoe содержит слой двоичной совместимости с архитектурой x86, который компилирует инструкции во внутренний формат процессора (code morphing). Ядро Crusoe является VLIW-процессором.

Микропроцессор Intel Itanium имеет 64-битную систему команд EPIC-процессора с явным параллелизмом, которая является одним из вариантов VLIW.

Многопроцессорный вычислительный комплекс «Эльбрус-3» и микропроцессоры серии «Эльбрус» («Эльбрус 2000», «Эльбрус S») являются VLIW-процессорами.

Процессоры, выпускаемые фирмой Tilera, также имеют VLIW-архитектуру.

VLIW также получила хорошее распространение на рынке GPU, так, видеопроцессоры AMD/ATI Radeon начиная с R600 и до современных имеют VLIW архитектуру. Начиная с Southern Islands (первый квартал 2012), компания AMD/ATI отошла от подхода VLIW.

EPIC-процессоры

(Explicitly Parallel Instruction Computing)

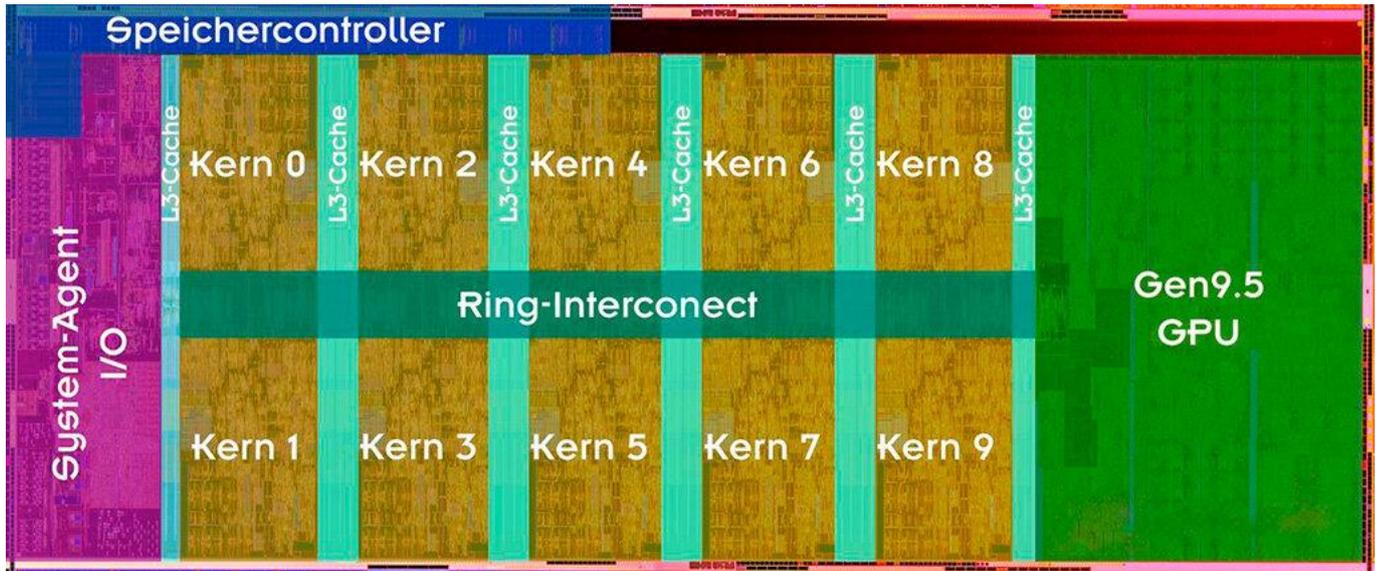
с явным параллелизмом команд

Особенности архитектуры EPIC:

- Большое количество регистров;
- Масштабируемость архитектуры до большего количества функциональных блоков;
- Явный параллелизм в машинном коде. Поиск зависимостей между командами осуществляет не процессор, а компилятор.
- Предикация – команды из разных ветвей условного предложения снабжаются полями предикатов (полями условий) и запускаются параллельно;
- Предварительная загрузка – данные из медленной основной памяти загружаются заранее.

Примером архитектуры EPIC является процессор Intel Itanium IA-64 (Intel Architecture-64). В процессоре предполагается наличие 128 64-разрядных ПОН, и 128 80-разрядных регистров с плавающей запятой, а также 64 однобитовых регистров предикатов.

Архитектура многоядерных процессоров Процессор Core i9-10900



Количество ядер	10
Тактовая частота	2800 МГц
Максимальная частота с Turbo Boost	5200 МГц
Количество потоков	20

Интегрированное графическое ядро	UHD 630, 1200 МГц (Gen9.5 GPU)
Встроенный контроллер памяти	45.8 ГБ/с (Speichercontroller)
Максимальный объем памяти	128 ГБ
Тип памяти	DDR4
Частота памяти	2933 МГц
Максимальное количество каналов памяти	2
Объем кэша L1	10x64 КБ
Объем кэша L2	10x256 КБ
Объем кэша L3	20 МБ

Ядро содержит вычислительные блоки, модуль предсказания ветвлений, регистры памяти и два типа кэшей L1 и L2.

System agent i/o является интерфейсом ввода-вывода и содержит «мосты» PCI-Express, DMI, дисплейные интерфейсы, блок аппаратного декодирования видео др.

Процессор AMD Ryzen 5 3400G



Количество ядер	4
Количество потоков	8
Частота	3.7 ГГц и 4.2 ГГц в режиме Turbo
L1 кэш	4x 96 КБ
L2 кэш	4x 512 КБ
L3 кэш	4 МБ
Тип памяти	DDR4
Встроенное графическое ядро	Radeon RX Vega 11

Гарвардская архитектура

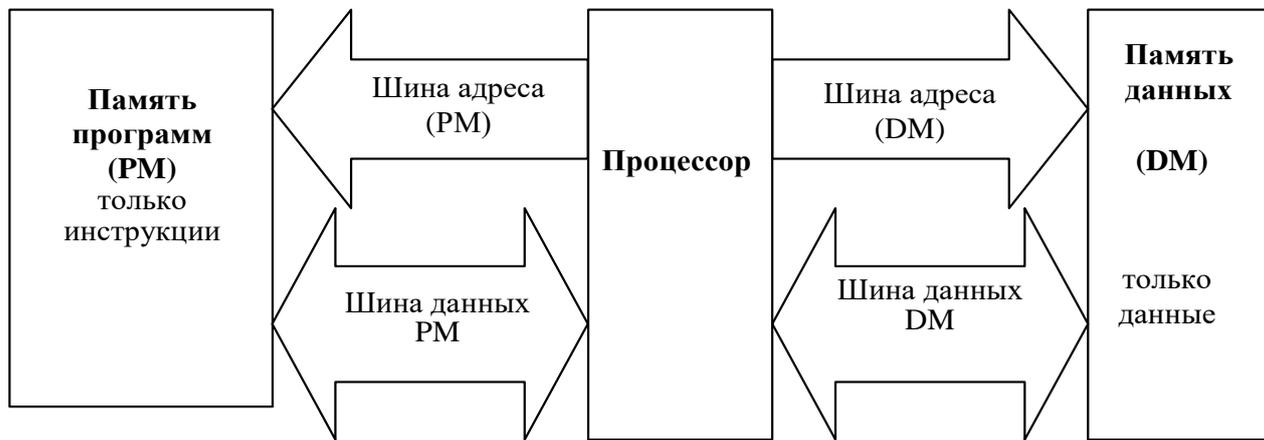


В конце 1930-х годов в Гарвардском университете Говардом Эйкеном была разработана архитектура ЭВМ, называемая по имени этого университета.

Говард Хатауэй Эйкен

Howard Hathaway Aiken

9 марта 1900 – 14 марта 1973



Структура компьютера с гарвардской архитектурой

Память программ и память данных компьютера физически и логически разделены.

Классическим примером гарвардской архитектуры являются цифровые сигнальные процессоры DSP (Digital signal processor).

Мы рассмотрели параллелизм на уровне процессора.

Дальнейшее увеличение производительности происходит в ЭВМ с параллельной архитектурой, когда используется много процессоров.