

Контроллер прямого доступа к памяти

Прямой доступ в память

DMA - Direct Memory Access, механизм, использующийся для непосредственного обмена данными между устройством и оперативной памятью компьютера, минуя центральный процессор.

Контроллер DMA используется для уменьшения нагрузки на центральный процессор в случае длительного обмена большим потоком данных с устройствами. К таким устройствам относятся:

- жёсткие диски (IDE, ATA, SCSI);
- приводы для гибких магнитных накопителей (FDD);
- оптические приводы (CD, DVD);
- звуковые карты (DSP, MIDI);
- различные мультимедиа-устройства.

PCI DMA - любое PCI устройство может обращаться к памяти компьютера, минуя ЦП. Программирование зависит от конкретного устройства.

ISA DMA - старый контроллер DMA, который описан ниже.

Обмен в режиме прямого доступа в память (ПДП) является наиболее быстродействующим и требующим значительных аппаратурных затрат. На рисунке представлена схема сопряжения процессора (П), оперативной памяти (ОП), контроллера ПДП (КПДП), контроллера ВЗУ (КВЗУ) и внешнего запоминающего устройства (ВЗУ) в режиме ПДП.

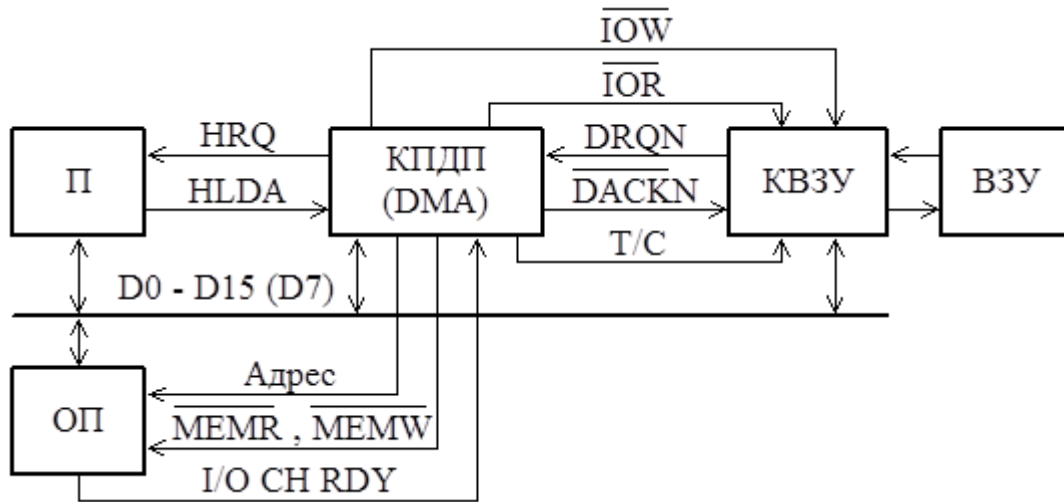


Схема сопряжения устройств в режиме ПДП

В режиме ПДП обмен данными выполняется между ПУ и ОП без участия процессора и реализуется аппаратным способом. В этом режиме процессор используется для инициализации (подготовки) контроллера ПДП. Режим ПДП обычно применяется для организации связи внешней памяти с ОП для передачи блоков данных. Контроллер ПДП в этом режиме захватывает системную шину, направляет адрес ячейки в ОП, подсчитывает количество передаваемых байтов (слов), вырабатывает необходимые интерфейсные сигналы и координирует свою работу с работой контроллера внешней памяти.

В начале режима ПДП процессор инициализирует КПДП: задает режим работы, передает начальный (стартовый) адрес ОП, число передаваемых байтов (слов) и т.д. Затем процессор выводит команды в КВЗУ, указывающие тип операции (запись, чтение или поиск и так далее). После подготовки данных КВЗУ устанавливает сигнал запрос ПДП (DMA) DRQ N (N – номер канала)..

В свою очередь, КПДП формирует сигнал запрос шины HRQ, поступающий в процессор. Процессор освобождает шину (переводит свои выходы в состояние выключено) и устанавливает сигнал подтверждения шины HLDA.

С этого момента времени управление шиной производит КПДП, под управлением которого осуществляется передача данных через КВЗУ между ВЗУ и ОП.

После захвата интерфейса КПДП передает в КВЗУ сигнал подтверждения ПДП \overline{DACK} N, определяющий начало передачи данных. Сигнал T/C (окончание счета) устанавливается КПДП после окончания счета числа пересылок данных.

Последовательность основных действий устройств в режиме ПДП при чтении байта данных из ОП следующая: КВЗУ (КНГ(Ж)МД) формирует сигнал DRQN; КПДП вырабатывает сигнал HRQ; П освобождает шину и устанавливает сигнал HLDA; КПДП, захватив шину, передает адрес в ОП; КПДП формирует сигнал \overline{DACK} N, поступающий в КНГМД; КПДП вырабатывает сигнал \overline{MEMR} , осуществляющий чтение выбранной ячейки ОП; содержимое ячейки ОП запоминается в регистре данных КНГМД по сигналу \overline{IOW} , установленному КПДП; КПДП снимает сигнал HRQ (режим одиночной передачи); П сбрасывает сигнал HLDA; КПДП увеличивает на 1 значение адреса и уменьшает на 1 число передаваемых байтов данных с появлением сигнала I/O CH RDY из ОП. Последовательность действий повторяется до тех пор, пока не будет сформирован сигнал конца счета.

КПДП Intel 8237 (К1810ВТ37)

В ПК РС/ХТ и РС/АТ в качестве КПДП применялась микросхема i8237 (отечественный аналог 1810 ВТ37).

Каждая микросхема DMA содержит 4 канала (К0-К3), работающих в режиме разделения времени (в какой-либо момент времени только один канал является активным и обслуживает подключенное к нему периферийное устройство). Наивысшим приоритетом обладает канал 0 (К0). С увеличением номера канала приоритет уменьшается. Всякому каналу соответствует сигнал DRQN (N=0-3), называемый запросом ПДП, т.е. периферийное устройство, требующее режима ПДП, устанавливает этот сигнал. Здесь усматривается некоторая аналогия с сигналами запросов прерывания. Если одновременно поступает несколько сигналов запросов ПДП, то внутренняя схема арбитража в DMA выбирает наиболее приоритетный сигнал DRQN. После этого DMA устанавливает общий для всех каналов сигнал HRQ (запрос шины) и после поступления от процессора сигнала HLDA (подтверждения на захват шины) DMA становится задатчиком и формирует для N-го периферийного устройства сигнал DACKN (подтверждение ПДП), разрешающий циклы ПДП.

Структурная схема DMA изображена на рисунке.

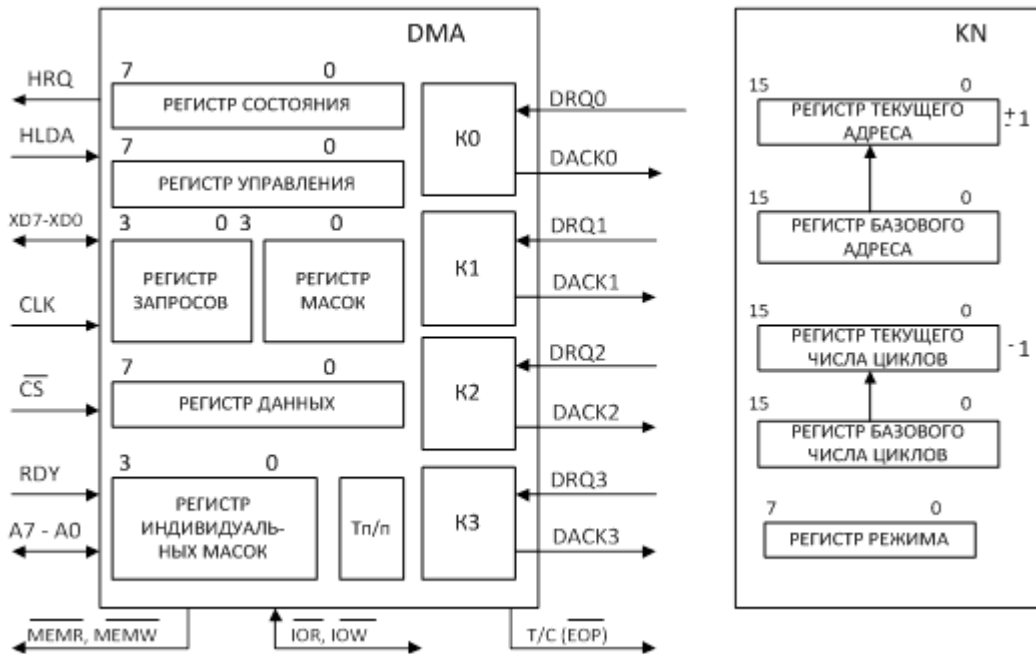


Схема портов DMA

Перечень адресов регистров DMA приведен в таблице.

Режимы W-запись, R-чтение	Число бит	Адреса	Назначение регистров (портов)
W	8	08	Регистр управления (команд)
R	8	08	Регистр состояния
W	8	0B	Регистр режима
W	4	0A	Регистр одиночных масок
W	4	0F	Регистр масок
W	4	09	Регистр запросов
W	*	0E	Сброс регистра маски
W	*	0C	Сброс триггера первый/ последний (Тп/п)
R	8	0D	Регистр данных
R/W	16	00	Регистр текущего адреса канала 0
R/W	16	01	Регистр текущего числа циклов канала 0
R/W	16	02	Регистр текущего адреса канала 1
R/W	16	03	Регистр текущего числа циклов канала
R/W	16	04	Регистр текущего адреса канала 2
R/W	16	05	Регистр текущего числа циклов канала 2
R/W	16	06	Регистр текущего адреса канала 3
R/W	16	07	Регистр текущего числа циклов канала 3

Примечание: * - порт без передачи данных.

Регистр управления (команд) координирует работу DMA и доступен по записи со стороны процессора. Формат регистра управления представлен на рисунке.

D0	- 1 Разрешение режима память - память
D1	- 1 Фиксация адреса разрешена, 0 - запрещена
D2	- 1 Блокировка контроллера, 0 - разрешение
D3	- 1 Сжатая синхронизация, 0 - нормальная
D4	- 1 Циклический приоритет, 0 - фиксированный приоритет
D5	- 1 Расширенный цикл записи, 0 - нормальный
D6	- 1 DREQ активен при низком уровне сигнала, 0 - при высоком уровне сигнала
D7	- 0 DACK активен при низком уровне сигнала, 1 - при высоком уровне

Формат регистра управления (команд)

Биты D0 и D1 определяют *режим память-память*, когда данные передаются из одной области оперативной памяти в другую область, причем этот обмен осуществляется через регистр данных (порт 0Dh) каналами K0 и K1. В режиме память-память в K0 задается адрес памяти (источник данных) и количество передаваемых данных, а в K1 - адрес памяти (получателя данных).

Режим фиксации адреса канала 0. Установка бита D1 регистра управления позволяет тиражировать один и тот же байт данных из одной области памяти в различные ячейки другой области памяти.

Бит D2, равный 0, разрешает циклы ПДП.

Сжатая синхронизация (D3=1) исключает некоторые такты в работе DMA, если старшая часть адреса (A8-A15) не изменяется.

Циклический приоритет (D4=1) заключается в равноправном (последовательном) обслуживании каналов DMA. Например, при D4=1 возможна следующая очередность приоритетов: K1 K0 K3 K2, K0 K3 K2 K1, K3 K2 K1 K0 и т.д. *Фиксированный приоритет* (приоритет места) устанавливает степень приоритета в зависимости от номера канала, т.е. канал K0 обладает наивысшим приоритетом, а канал K3 – низшим приоритетом.

При изменении старшей части адреса программируется *расширенный цикл записи* (удлиняются сигналы $\overline{\text{MEMW}}$ и $\overline{\text{IOW}}$). Следует отметить, что КПДП формирует пары сигналов: при чтении памяти $\overline{\text{MEMR}}$ и $\overline{\text{IOW}}$ и при записи в память $\overline{\text{IOR}}$ и $\overline{\text{MEMW}}$, т.е. в первом случае информация читается из ячейки оперативной памяти (сигналом $\overline{\text{MEMR}}$), а потом записывается в регистр данных контроллера периферийного устройства (сигналом $\overline{\text{IOW}}$). Во втором случае, наоборот, содержимое регистра данных контроллера периферийного устройства читается по сигналу $\overline{\text{IOR}}$, а потом записывается в память по сигналу $\overline{\text{MEMW}}$. По умолчанию задается нормальный цикл записи и нормальная синхронизация.

Биты D7 и D6 регистра управления определяют *активный уровень сигнала* (0 или 1).

Содержимое регистра состояния доступно по чтению со стороны процессора и имеет следующий формат:

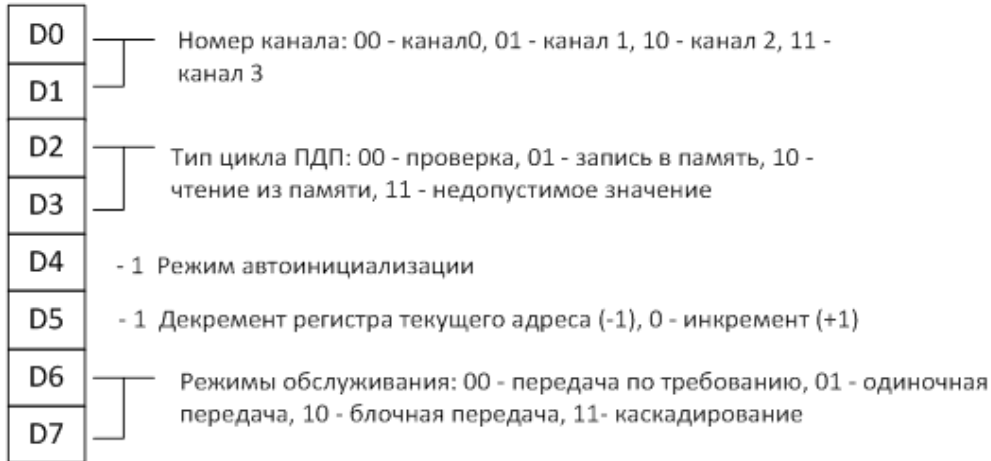
D0	- 1 ТС канала 0 (обмен завершен), 0 - незавершен
D1	- 1 ТС канала 1
D2	- 1 ТС канала 2
D3	- 1 ТС канала 3
D4	- 1 Наличие программного или аппаратного запроса канала 0
D5	- 1 Наличие программного или аппаратного запроса канала 1
D6	- 1 Наличие программного или аппаратного запроса канала 2
D7	- 1 Наличие программного или аппаратного запроса канала 3

Формат регистра состояния

Содержимое регистра текущего числа циклов (счетчика) канала N (N=0...3) уменьшается после каждого цикла ПДП и, как только оно станет равным FFFFh (обмен завершен), это состояние отмечается установкой бита DN регистра состояния и на выходе DMA формируется сигнал T/C (окончание счета), используемый в контроллере периферийного устройства для формирования сигнала запроса прерывания.

В битах D4-D7 регистра состояния отмечается наличие программного запроса в регистре запросов DMA или аппаратного запроса DRQN. Программный запрос инициирует работу DMA так же, как и аппаратный запрос DRQN и используется в прикладных программах, связанных с передачей массивов данных в оперативную память.

Каждому каналу соответствует 8-битовый *регистр режима*, имеющий адрес 0Bh. Кроме того, в байте данных режима необходимо указать в битах D1 и D0 номер канала DMA, для которого предназначен этот байт данных. Формат регистра режима изображен на рисунке.



Формат регистра режима

Рассмотрим режимы обслуживания DMA.

Блочная (монопольная) передача выполняется непрерывно до тех пор, пока содержимое регистра текущего числа циклов в KN не станет равным FFFFh (обмен завершен). (Чтение/запись дисков).

Передача по требованию осуществляется так же, как и блочная, за исключением того, что она выполняется, пока удерживается сигнал DRQN. Снятие сигнала DRQN останавливает управление передачей данных, которая возобновляется с той же точки при появлении сигнала DRQN.

Наиболее употребительным режимом является *одиночная передача*, состоящая в том, что после передачи очередного байта DMA освобождает системную шину и начинает затем запрос шины для управления передачей следующего байта. Этот процесс продолжается до тех пор, пока содержимое регистра текущего числа циклов не станет равным FFFFh (обмен завершен). (Для передачи звука).

Режим каскадирования используется для увеличения числа каналов КППД путем соединения нескольких DMA.

С помощью бита D5 программируется либо увеличение *содержимого регистра текущего адреса* KN, либо его уменьшение.

Режим автоинициализации. Если бит D4=1 и сигнал T/C (EOP) равен 0 (обмен завершен), то осуществляется автоматическая перезагрузка регистров базового адреса и базового числа циклов соответственно в регистры текущего адреса и текущего числа циклов.

Биты D3 и D2 позволяют программировать *тип цикла ПДП*: запись в память (01), при выполнении которой формируется сигнал $\overline{\text{IOR}}$ и $\overline{\text{MEMW}}$; чтение из памяти (10), вырабатывающее сигналы $\overline{\text{MEMR}}$ и $\overline{\text{IOW}}$.

Цикл «проверка» (псевдопередача) заключается в том, что выполняется цикл записи (чтения) с формированием адреса, но без передачи данных.

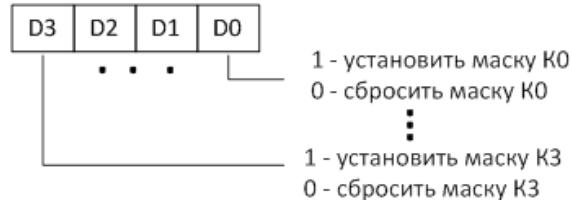
Установка программного запроса выполняется с помощью команды, посылаемой в 4-битовый регистр запросов по адресу 09h, причем биты D1 и D0 указывают на номер канала, а D2=1 – на наличие запроса.

Регистру одиночных масок присвоен адрес 0Ah. По этому адресу направляется 3-битовая команда, в которой биты D1 и D0 указывают на номер бита в регистре одиночных масок, а бит D2 определяет значение этого бита (1 или 0). Формат команды доступа к биту показан на рисунке.



Формат команды доступа к биту

Для осуществления **одновременной установки (сброса) битов регистра маски** необходимо по адресу 0Fh направить команду доступа к битам (D3-D0), имеющую следующий формат.



Формат команды доступа к битам маски

По сигналу RESET (сброс) выполняется установка всех битов регистра маски, которые блокируют все программные или аппаратные запросы DMA. С помощью порта 0Eh (*сброс регистра маски*) можно разрешить обработку запросов DMA.

В DMA применяется двунаправленная 8-битовая шина данных, по которой происходит запись выводимых из процессора байтов данных в 16-битовые регистры выбранного канала. Для управления занесением байта данных в младшую часть (A7-A0) или старшую часть (A15-A8), например, регистра текущего адреса используется *триггер первый/последний (Tn/n)*, который при нулевом значении разрешает запись байта данных в младшую часть регистра, а при единичном значении – в старшую часть регистра. При инициализации DMA в начале программы следует один раз сбросить триггер Tn/n, который затем автоматически устанавливается (сбрасывается) при передаче каждого байта.

Регистр данных DMA предназначен для временного хранения байта данных, передаваемого в режиме память-память. После завершения передачи байтов данных, последний байт может быть считан и введен в процессор.

Каждый канал DMA содержит четыре 16-битовых регистра. *Регистр текущего адреса* после передачи каждого байта (слова) автоматически уменьшается или увеличивается на единицу. В циклах ПДП биты A7-A0 выводятся по шине адреса DMA, а биты A8-A15 – по шине данных.

Регистр текущего числа циклов (счетчик) задает количество передаваемых байтов (слов) и уменьшается на 1 после каждого цикла ПДП. Если содержимое этого регистра равно FFFFh, то это означает, что обмен данными завершён. Поэтому начальное значение, заносимое в регистр текущего числа циклов, должно быть уменьшено на 1.

Для реализации режима автоматизации в каждом канале имеется *регистр базового адреса и регистр базового числа циклов*, которые загружаются начальными значениями соответствующих текущих регистров и затем используются для повтора передачи данных.

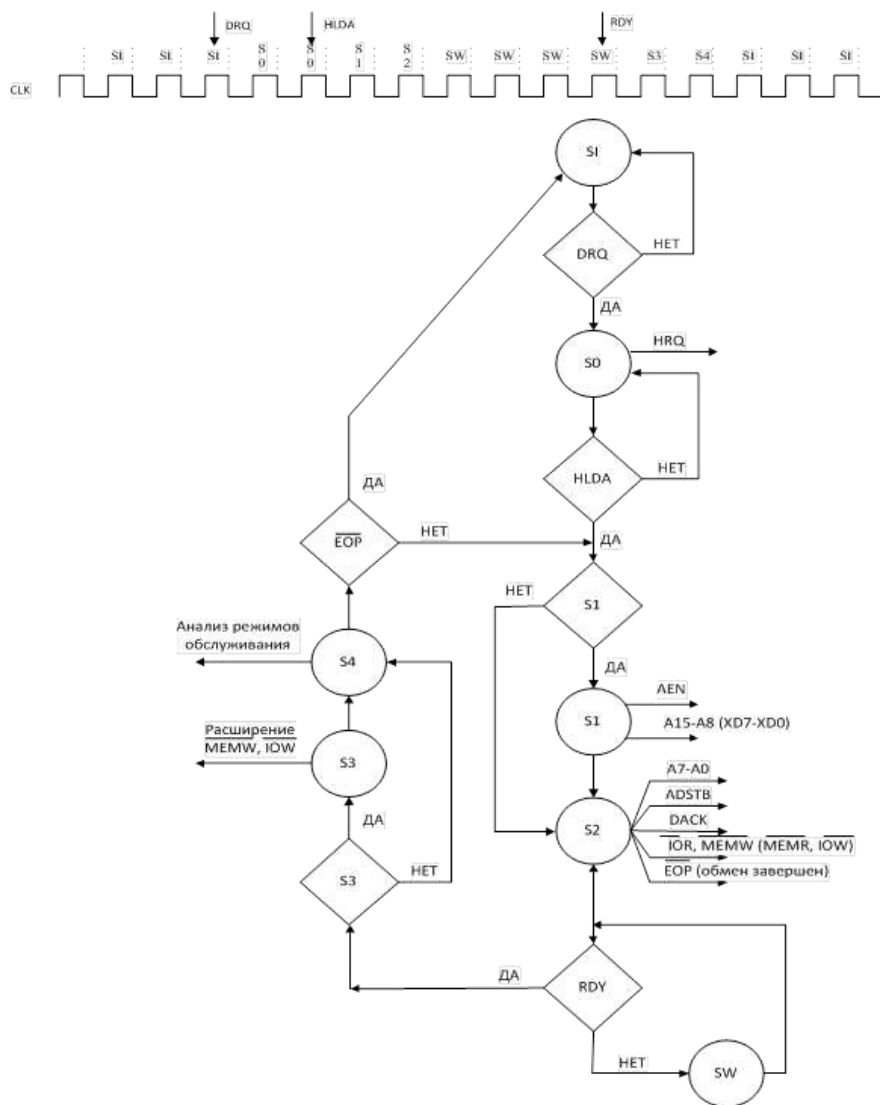
В работе КППД можно выделить 2 режима: режим связи с процессором (инициализации КППД) и режим управления передачей данных между оперативной памятью и периферийным устройством.

В **режиме инициализации КППД** процессор является устройством управления на системной шине, а КППД – исполнителем. Режим инициализации КППД выполняется, если сигналы DRQ, т.е. отсутствует режим ПДП. Для доступа к портам DMA используются 4 младших бита адреса A3-A0, сигналы CS, IOR и IOW.

Процессор при инициализации КППД выполняет следующую последовательность действий.

1. Программирует регистр режима заданного канала DMA (операцию запись или чтение, тип передачи, инкремент или декремент адреса).
2. Вычисляет адрес памяти.
3. Сбрасывает триггер первый / последний (Тп/п).
4. Выводит младший и старший байты в регистр текущего адреса канала.
5. Устанавливает старшую часть адреса в требуемый регистр страницы.
6. Направляет младший и старший байты в регистр текущего числа циклов канала.
7. Сбрасывает бит маски выбранного канала DMA (открывает канал).

Во втором **режиме (циклах ПДП)** КППД является устройством управления на шине, а оперативная память – исполнителем. На рисунке представлена упрощенная блок-схема циклов ПДП.



Блок-схема циклов ПЦП

При выполнении режима ПДП КПДП в соответствии с синхросигналами CLK переходит из одного состояния в другое состояние, выполняя соответствующие функции.

Состояние S1 является исходным (пассивным) состоянием DMA, при котором опрашиваются сигналы запросов ПДП (DRQN). С поступлением активного сигнала DRQN КПДП переходит в *состояние S0*, формируя сигнал запроса шины (HRQ). После этого КПДП ожидает приход сигнала подтверждения шины (HLDA).

Если старшая часть адреса (A15-A8) не изменяется, то можно исключить программным способом *состояние S1* (сжатая синхронизация), связанное с выводом старшей части адреса. В состоянии S1 КПДП вырабатывает сигнал разрешения адреса AEN и выдает биты старшей части адреса A15-A8 по шине данных XD7-XD0.

После перехода в *состояние S2* КПДП реализует следующие действия:

1. Выводит младшую часть адреса (A7-A0) по шине адреса.
2. Формирует сигнал строб адреса (ADSTB) для фиксации битов A15-A8 во внешнем регистре.
3. Вырабатывает сигнал подтверждения ПДП (DACK) в контроллер периферийного устройства.
4. Устанавливает сигналы $\overline{\text{IOR}}$ и $\overline{\text{MEMW}}$ при записи в память или $\overline{\text{MEMR}}$ и $\overline{\text{IOW}}$ при чтении.
5. Формирует сигнал EOP, если обмен завершен.

Для согласования с «медленной» памятью используется сигнал готовности (RDY). Пассивный уровень сигнала RDY вызывает в КПДП состояние ожидания (SW). С появлением активного уровня сигнала RDY КПДП анализирует осведомительный сигнал S3 и если запрограммирована сжатая синхронизация, то *состояние S3* исключается. Для нормальной синхронизации состояние S3 выполняется и формируются расширенные сигналы записи $\overline{\text{MEMW}}$ и $\overline{\text{IOW}}$, учитывающие изменение старшей части адреса.

В *состоянии S4* КПП выполняет анализ режимов обслуживания (одиночная передача, блочная передача или это передача по требованию) и в зависимости от сигнала ЕОР переходит в исходное состояние или на продолжение следующего цикла ПДП.

Пример программирования

Запрограммировать канал 1 на передачу 512 байт данных от внешнего устройства в память. Начальный адрес памяти задается регистрами ES:BX. Передача одиночная с приращением адреса. Базовый адрес КППД Addr=0. В регистр управления занесена команда 00h, т.е. разрешены циклы ПДП, запрещены режимы память-память, фиксации адреса канала 0, укороченного и расширенного циклов ПДП, запросы на ПДП DRQ кодируются высоким уровнем, а подтверждения запросов DACK – низким.

```
InitDMA
```

```
; 0. Блокировка заданного канала (1)
    mov al, 101b
    out 0ah, al
; 1. Программирование регистра режима заданного канала DMA
; (одиночная передача, автоинициализации нет, запись в память,
; инкремент адреса)
    mov al, 01000101b
    out 0bh, al
; 2. Вычисление адреса памяти
    xor ecx, ecx
    mov cx, es
    shl ecx, 4
    movzx eax, bx
    add ecx, eax
; 3. Сброс триггера первый / последний (Тп/п)
    mov al, 0; любое значение
    out 0ch, al
```

```

; 4. Вывод младшего и старшего байтов в регистр текущего адреса канала
; K0 - 00h, K1 - 02h, K2 - 04h, K3 - 06h
    mov al, cl
    out 02h, al
    mov al, ch
    out 02h, al
; 5. Установка старшей части адреса в требуемый регистр страницы
; K0 - 87h, K1 - 83h, K2 - 81h, K3 - 82h
    rol esx, 16
    mov al, cl
    out 83h, al;
; 6. Вывод младшего и старшего байтов в регистр текущего числа циклов
; канала: K0 - 01h, K1 - 03h, K2 - 05h, K3 - 07h
    mov ax, 511; 512-1
    out 3, al
    mov al, ah
    out 3, al
; 7. Сброс бита маски выбранного канала DMA (открывает канал)
    mov al, 001b
    out 0ah, al
    ret
InitDMA endp

```